

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

8881407

Basic Patent (No,Kind,Date): JP 1222225 A2 890905 <No. of Patents: 001>

ACTIVE MATRIX DISPLAY PANEL (English)

Patent Assignee: FUJI ELECTRIC CO LTD

Author (Inventor): URABE KYOICHI

IPC: \*G02F-001/133;

JAPIO Reference No: 130540P000007

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1222225	A2	890905	JP 8847965	A	880301 (BASIC)

Priority Data (No,Kind,Date):

JP 8847965 A 880301

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02924625      \*\*Image available\*\*

**ACTIVE MATRIX DISPLAY PANEL**

PUB. NO.:      01-222225 [JP 1222225 A]

PUBLISHED:      September 05, 1989 (19890905)

INVENTOR(s):      URABE KYOICHI

APPLICANT(s):      FUJI ELECTRIC CO LTD [000523] (A Japanese Company or  
Corporation), JP (Japan)

APPL. NO.:      63-047965 [JP 8847965]

FILED:      March 01, 1988 (19880301)

INTL CLASS:      [4] G02F-001/133

JAPIO CLASS:      29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL:      Section: P, Section No. 969, Vol. 13, No. 540, Pg. 7,  
December 05, 1989 (19891205)

**ABSTRACT**

**PURPOSE:** To prevent display picture quality from deteriorating without correcting any defective picture element by dividing each picture element electrode into partial electrodes of nearly equal area and providing a driving element between each partial electrode and a scanning electrode.

**CONSTITUTION:** The picture electrode 10 for display of each of picture elements P which are arranged in a matrix on an active matrix substrate is divided into partial electrodes 10a and 10b of nearly equal area and driving elements 30a and 30b are provided between the partial electrodes 10a and 10b and a scanning electrode 20. Therefore, even if a defect occurs on the picture element P, a part where the display becomes defective is only one of the partial electrodes 10a and 10b and the other partial electrode makes a normal display. Consequently, the display is made on the display panel almost without any deterioration in the picture quality in the defective containing state while the driving elements 30a and 30b having a short-circuit defect are not disconnected.

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 平1-222225

⑬ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)9月5日  
G 02 F 1/133 3 2 6 7370-2H

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 アクティブマトリックス表示パネル

⑯ 特 願 昭63-47965

⑰ 出 願 昭63(1988)3月1日

⑱ 発 明 者 ト 部 恭 一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会  
社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 アクティブマトリックス表示パネ  
ル

2. 特許請求の範囲

表示パネルの1対の基板中のアクティブマトリ  
ックス基板側に行列配置された各画素の表示用の  
画素電極と所定方向に並ぶ画素電極に設けられる  
走査電極と各画素電極と走査電極との間に接続さ  
れる表示駆動素子とが設けられるものにおいて、  
各画素電極をほぼ等面積の複数個の部分電極に分  
割し、各部分電極と走査電極との間にそれぞれ駆  
動素子を設けたことを特徴とするアクティブマト  
リックス表示パネル。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はテレビ画像等の表示に適するアクティ  
ブマトリックス方式の表示パネルであって、この  
表示パネルの1対の基板中にアクティブマトリッ  
クス基板側に行列配置された各画素の表示用の画  
素電極と所定方向に並ぶ画素電極に設けられる走

査電極と各画素電極と走査電極との間に接続され  
る表示駆動素子とが設けられるものに関する。

(従来の技術)

上述のテレビ画像等の可変画像の表示用には、  
その画内に多数の画素が行列配置されたマトリッ  
クス形の表示パネルとくに液晶表示パネルが通し  
ており、この表示パネル画内に配列される画素数  
が数万個以上になると、各画素間の表示上のクロ  
ストークを減少させて画像のコントラストを鮮明  
にするために、薄膜トランジスタや薄膜ダイオー  
ドなどの駆動素子を各画素に付属させて組み込ん  
だいわゆるアクティブマトリックス方式の表示パ  
ネルが有利とされている。本発明はかかるアクチ  
ブマトリックス表示パネルに関するもので、第  
3図はこの種の従来の表示パネルの構成を等価回  
路的に示すものである。

この第1図には表示パネルを構成する1対の基  
板中の駆動素子が組み込まれるアクティブマトリ  
ックス基板側が太線で、その対向基板側が細線で  
互いに重ね合わせて示されている。アクティブマ

トリックス基板側には、各画素の表示用の画素電極10が行、列両方向にそれぞれ数百個並べて設けられ、これら画素電極10に与えるべき表示電圧を乗せるための走査電極20がこの例では行方向に並ぶ画素電極に対して共通に設けられる。駆動素子30はこの例では薄膜ダイオードであって正負1対のダイオード30p, 30n からなり、各画素電極10と走査電極20との間に互いに逆並列接続される。このアクティブマトリックス基板に対向するもう一方の基板側には、表示電圧40が図示のようにアクティブマトリックス基板側の画素電極10と同じ幅でかつ列方向に並ぶ画素電極に共通に対向して設けられる。表示パネルを表示駆動するには表示電圧40を水平走査し走査電極20を垂直走査しながら、これら両電極間に走査周期ごとに正負に切り換わる表示電圧を与えることによって表示パネルのいわゆる交差駆動を行なう。走査電極20上に正の表示電圧が乗せられたとき、駆動素子30の正方向のダイオード30p が導通して画素電極10と表示電圧40との間に表示電圧が掛かり、逆に走査電極

に負の表示電圧が乗せられたとき、負方向のダイオード30n が導通して同様に画素電極と表示電圧間に表示電圧が掛かる。

第4図はアクティブマトリックス基板の1画素分の拡大平面図であり、第5図はダイオード30pの部分のY-Y断面図である。第5図に示すアクティブマトリックス基板用の絶縁基板1はふつうガラス板であって、その上に被着されたITO等の透明なごく薄い導電性膜2のフォトリソングによるパターンニングにより画素電極10と走査電極20が形成される。ダイオード30pの本体部はクローム等の金属からなるごく薄い透光膜3により上下から挟まれた非晶質シリコン等のpi<sub>1</sub>構成の半導体膜であって、その上にふつうは酸化膜である絶縁膜5が第4図に示すように近接する両ダイオード30p, 30n を共通に覆うように設けられる。アルミ等の接統膜6はこの絶縁膜5に明けたコンタクトホール5aを介してダイオードの本体部を所定の電極に接続するもので、この接統膜6により第4図からわかるように走査電極20上に設けられた

正方向のダイオード30pは画素電極10に、画素電極10上に設けられた負方向のダイオード30nは走査電極20にそれぞれ接続され、これによって駆動素子30としての正負方向のダイオード30p, 30n が画素電極10と走査電極20との間に逆並列接続される。

なお、駆動素子が薄膜トランジスタである場合は、アクティブマトリックス基板上に走査電極が第3図のように行方向だけでなく列方向にも設けられる点異なるが、その上に画素電極と走査電極が設けられ、かつ各画素電極と走査電極との間に駆動素子が設けられることは上と全く同じである（説明が簡明になるよう省略）

上述のようにアクティブマトリックス基板の各画素ないしは画素電極ごとに設けられる駆動素子としての薄膜トランジスタや薄膜ダイオードは接統膜を含めてもその高さがふつうは2μm以下のもので、アクティブマトリックス基板と対向基板間のふつうは5〜10μmの隙間内に充分納めてしまうことができ、第3図に示したように表示パネルの

面内に分布して組み込むことができるが、その組み込み数が前述のように少なくとも数万、多いときには数十万個と多いので、その内の若干のものに欠陥が発生しうる問題がある。第5図からわかるようにアクティブマトリックス基板の製作時には、電極10および20、透光膜3と半導体膜4とのサンドイッチ構造、絶縁膜5および接統膜6のそれぞれのパターンニングにフォトリソングが必要で、全体では少なくとも4回のフォトリソング工程を経るため、工程ごとの欠陥発生率が累積して、現在の進んだプロセス技術によっても欠陥発生率を10<sup>-4</sup>程度以下に下げることがむづかしい。欠陥がとくに発生しやすいのは上記のサンドイッチ構造の駆動素子本体部がもつ段差部であって、第5図に示すように接統膜6と駆動素子本体の下部ないしは電極との接触による短絡3や接統膜6の剥離8が生じやすい。かかる短絡欠陥をもつ画素の表示はふつう常に明、剥離欠陥をもつ画素の表示はふつう常に暗になってしまうので、欠陥の種類によって多少異なるが、表示パネル全体での

欠陥画素数が所定の許容数例えば10個を超えるとその表示パネルは不良とされる。従ってアクティブマトリックス表示パネルが大形で数十万個の画素を含む場合は、上述のように常態ではごく僅かな欠陥発生率であっても数個から数十個の欠陥画素が発生しうることになり、その結果表示パネルの製作歩留まりが低下して大形アクティブマトリックス表示パネルの実用化上の障害になっている。

このため、アクティブマトリックス表示パネルの画内に多少の欠陥画素が発生してもそれを修正しないしは除去する手段が工夫されている。最も簡単な手段としては、画素ごとに駆動素子を2個ないしは複数個組み込んでおき、その内の1個に欠陥が発生しても健全な駆動素子によってその画素を表示駆動させるようにすればよい。しかし、その際、ある画素の欠陥が画素欠陥である場合にはそのままその画素に健全な方の駆動素子により正常な表示をさせることができるが、欠陥が短絡欠陥である場合には欠陥をもつ駆動素子をレーザを用いて切り離さない限りその画素の欠陥は是

正されないし、その画素に設けられた複数個の駆動素子中のどれに短絡欠陥があるかを見付けることが非常に困難である。従って、このように画素ごとに駆動素子を余分に組み込んでおいても、短絡欠陥が発生するとその是正は余り簡単でなく、欠陥をもつ駆動素子の特定や切り離しのために相当な手間がかかるのが現実である。欠陥駆動素子の特定を容易にするような工夫をこれに加えることもできるが、この特定のための試験と短絡欠陥をもつ駆動素子の切り離しが必要なことには変わりがない。

本発明はかかる事情に鑑み、表示パネルを構成するアクティブマトリックス基板内に欠陥画素が発生したときそれをわざわざ是正しなくても表示画質を余り低下させないで済ませることを目的とする。

(課題を解決するための手段)

本発明は、冒頭記載のようにアクティブマトリックス基板に行列配置された各画素の表示用の画素電極と所定方向に並ぶ画素電極に設けられる走

査電極と各画素電極と走査電極との間に接続される表示駆動素子が設けられるアクティブマトリックス表示パネルにおいて、画素電極をほぼ等面積の複数個の部分電極に分割し、かつ各部分電極と走査電極との間にそれぞれ駆動素子を設けることにより、上記の目的を達成するものである。

上記の画素電極の分割数は理論的に任意であってよいが、実用上は2個とするのが駆動素子数を余り増やさずに済ませる上で有利で、画素に欠陥が発生したときの表示画質の低下も許容できる程度であり、このように画素電極を2分割したときそれに応じて走査電極を分割線に沿ってつまり画素をそれによって2分するように設けることができる。もちろん、この走査電極は従来のとおり方形の画素の1辺に沿って設けておいて、画素電極を走査電極とは直交する方向の分割線によって複数個に分割することも可能である。またこの場合、分割線を画角させることによって部分電極を相互に入り込ませるようにすれば、欠陥が発生したときのその画素の表示を視覚的に正 画素の表示と

あまり大差がないようにすることができる。

(作用)

本発明は画素電極を2個以上の部分電極に分割して各部分電極に駆動素子を設けておけば、これら複数個の駆動素子のすべてに欠陥が発生する確率は無視できる程度に小さくなるので、ある画素に欠陥が発生してもその画素の表示が完全に不可能になってしまうことがない点に着目したもので、上記の本発明の構成にいうように各画素電極をほぼ等面積の複数個の部分電極に分割して各部分電極と走査電極との間にそれぞれ駆動素子を設けることにより、欠陥が発生した画素にも健全な部分電極に表示をさせて、表示パネル全体の表示の画質を実質上ほとんど低下しないようにしたものである。従って本発明によるアクティブマトリックス表示パネルでは、欠陥画素を是正するために短絡欠陥をもつ駆動素子を試験によって特定したりそれを切り離したりする必要はとくにはなく、画内の欠陥画素数が数十個程度以下であるときは、その表示パネルにそのまま表示をさせても視覚的

にほとんど知覚されない程度の画質を保たせて、本発明の課題を解決することができる。本発明によるアクティブマトリックス表示パネルのこの程度の欠陥を含む場合の画質低下の程度は、ふつうテレビ受像機が拾いやすい通常の程度のノイズによる画質の低下よりもむしろ低減である。

(実施例)

以下、第1図および第2図を参照しながら本発明の若干の実施例を説明する。これらの実施例では画素電極の分割数はすべて2個であるものとし、またこれら図中前の第3図から第5図までとの対応部分には同じ符号が付されており、説明上の重複部分はすべて省略することとする。

第1図は画素電極10を走査電極20と平行な方向の分割線PLにより図では上下2個の部分電極10a、10bに分割し、かつこの分割線PLの位置に走査電極20を設けた実施例を1個の画素Pを中心にして示すものである。図示のように、これらの分割された2個の部分電極10a、10bのそれぞれと走査電極20との間には駆動素子30a、30bが設けられてお

り、この実施例におけるこれらの駆動素子は前第4図の場合と同様にそれぞれ正負1対の薄膜ダイオード30p、30nからなっている。この実施例では表示上は貢獻をしない走査電極20が画素Pの中央部に設けられているので、表示上はいわば1個の画素は2個の部分画素に分割されることになるが、画素Pの寸法がもともと200〜300μm程度の小さなものなので、目視上はよほど近接してよく見ない限りあくまで1個のまとまった画素表示として知覚される。また、両駆動素子30a、30bは画素Pの図の左右の端部にそれぞれ張り分けて配置されているので、これらの駆動素子による暗い表示部分が画素Pの中央部に発生することがなく、2個の部分電極10a、10bによる表示を1個のまとまった表示として知覚させる上に役立っている。第2図(a)はこの第1図の実施例の1画素分の等価回路を示すものである。

第2図(b)〜(d)は、この同図(a)と同じ要領で本発明のそれぞれ異なる実施例を示すものである。同図(a)に示された実施例では、画素電極が前の実

例と同様に図の左右方向の分割線PLにより上下2個の部分電極10a、10bに分割されているが、駆動素子として薄膜トランジスタ31a、31bが用いられており、これに対応してアクティブマトリックス画面上には互いに直交する2本の走査電極21、22が設けられ、その内の走査電極22が分割線PLと同じ位置に設けられている。これらのトランジスタ31a、31bは電界効果トランジスタであって、そのソースとドレインが走査電極21と各部分電極10a、10bとの間に接続され、そのゲートが走査電極22と接続される。従って、この実施例では2個の駆動素子としてのこれらのトランジスタ31a、31bは画素Pの走査電極22寄りの中央部に囲めて設けられる。容易にわかるように、この例でも2個の部分電極10a、10bによる表示は1個の画素Pの表示として知覚される。

第2図(c)に示された実施例では、走査電極20が画素Pのもつ方形の下辺に沿って配置され、画素電極はこの走査電極20と直交する分割線PLによって部分電極10a、10bに分割されている。この例に

おける駆動素子30a、30bはいずれも正負1対のダイオード対であって、これらの駆動素子は画素Pの図の左右の端部に張り分けて配置するのがよいが、この実施例では図示のように走査電極20と分割線PLの交点部付近に集中して設けても視覚上は大差なく、両部分電極10a、10bによる表示は1個のまとまった画素Pの表示として知覚される。第2図(d)の実施例では、走査電極10の位置は同図(a)の場合と同じであるが、駆動素子30a、30bとしてのダイオード対は画素Pのこの走査電極20寄りの左右の端部に張り分けて配置されており、かつ分割線PLが屈曲した形をもって、これによって画素電極が互いに入り込んだただしはば等面積の2個の部分電極10a、10bに分割されている。容易にわかるように、この例におけるこれら両部分電極による表示は前どの実施例におけるよりも1個の画素Pとしての表示により近く知覚され、かつ駆動素子30a、30b中の一方の欠陥により部分電極10a、10bの内の一方の表示が欠陥したときにも、それによる画素としての表示の低下が低減で

すむ利点がある。

駆動素子の欠陥発生を $p$ とし、本発明により画素電極を $n$ 個に分割してそれぞれに駆動素子を設けたとき、ある画素 $n$ 個の駆動素子中の1個に欠陥が発生する確率 $p_1$ は $n \cdot p$ であるが、2個以上の駆動素子に欠陥が発生する確率 $p_2$ はほぼ $n^2 \cdot p^2$ と見做すことができる。いま、欠陥発生率をやや高めに $p = 10^{-4}$ とし、画素電極の分割数を上述の実施例におけるように $n = 2$ とすると、 $p_1 = 2 \cdot 10^{-4}$ 、 $p_2 = 10^{-8}$ となるから、表示パネル内に例えば $2 \times 10^5$ 個の画素があるとするとき、1個の駆動素子に欠陥のある画素は40個程度発生しやすいことになるが、それ以上の駆動素子に欠陥がある画素はほぼ0個、つまり実質上発生しないことになる。従って、短絡欠陥をもつ駆動素子を切り離す等の欠陥の是正をしなくても、表示能力が完全に失われる画素は実質上発生せず、この場合の画質の低下は1個の駆動素子に欠陥がある画素だけ考えればよいことになる。

いま、これを仮に欠陥画素の表示光量の健全な

画素の表示量からの差で考えることとし、健全画素の平均表示光量を1とすると、短絡欠陥をもつ駆動素子をもつ画素の表示光量はふつうこれより大で、断線欠陥をもつ駆動素子を含む画素の表示光量は逆に小となるが、いずれの場合にも差は $1/n$ 、上の実施例では $1/2$ となる。ただし、駆動素子が逆並列接続ダイオード対からなる場合は、この内のダイオードの一方にしか欠陥がなく、欠陥が断線欠陥であるときは正負両方向の表示電圧の内の一方では正順の表示がなされることになるから、上の表示光量の差は $1/2n$ となる。これから、前述の実施例のように分割数が $n = 2$ である場合の欠陥画素の表示光量誤差は $1/4 \sim 1/2$ となり、分割数を2よりも大にすればさらにこの差が小さくなる。欠陥画素の表示光量誤差がこの程度で、かつ大形表示パネル中の欠陥画素数が前述のように数十個程度と少ないとき、画質の低下は視覚上はほとんど知覚できず、実際上はテレビ受像機が低いやすい通常レベルのノイズによる画質のちらつきの方がずっとそれより気になる程度に過ぎない。

#### (発明の効果)

以上述べたとおり本発明によれば、アクティブマトリクス基板側に行列配置された各画素の表示用の画素電極と所定方向に並ぶ画素電極に設けられる定電電極と各画素電極と定電電極との間に接続される表示駆動素子とが設けられるアクティブマトリクス表示パネルに対して、画素電極をほぼ等面積の複数個の部分電極に分割し、かつ各部分電極と定電電極との間にそれぞれ駆動素子を設けるようにしたので、画素に欠陥が発生しても表示が不揃になるのはその部分電極の内の一つだけで他の部分電極には正常な表示をさせることができ、これにより短絡欠陥をもつ駆動素子をわざわざ切り離さなくても欠陥を含むそのまゝの状態で表示パネルに画質をほとんど低下させずに表示をさせることができる。

本発明のもつこの効果はアクティブマトリクス表示パネルが大形化してそれに含まれる画素が増えるとともに、利に利用することができ、本発明の実施によりアクティブマトリクス基板の製

作歩留まりを向上させてそのコストを低減することにより、その実用化を促進することができる。

#### 4. 図面の簡単な説明

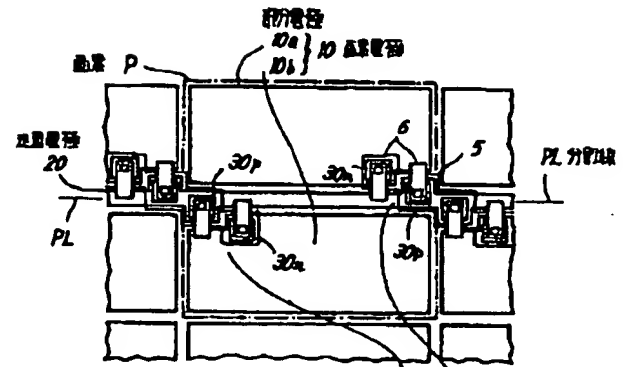
第1図および第2図が本発明に関し、第1図は本発明によるアクティブマトリクス表示パネルの実施例を示すアクティブマトリクス基板の要部拡大平面図、第2図は第1図の実施例の等価回路図および本発明のそれぞれ異なる実施例を等価回路図で示すアクティブマトリクス基板の1画素分の等価回路図である。第3図および第4図は従来技術に関し、第3図は従来のアクティブマトリクス表示パネルの等価回路図、第4図はそのアクティブマトリクス基板の要部拡大平面図である。第5図は本発明および従来のアクティブマトリクス表示パネルに組み込まれる駆動素子としてのダイオードの構造例を示す断面図である。図において、

- 1: アクティブマトリクス基板の絶縁基板、
- 2: 透明導電性膜、3: 透光膜、4: 半導体膜、
- 5: 絶縁膜、5a: 絶縁膜のコンタクトホール、6:

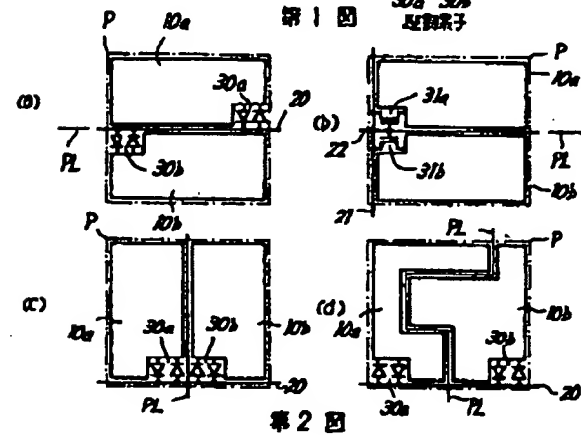


接線膜、10：面電極、10a, 10b：面電極を分割した分電極、20, 21, 22：走査電極、30：駆動素子、30a, 30b：部分電極ごとに設けられる駆動素子としての薄膜ダイオード、30p, 30n：正負方向のダイオード、31a, 31b：部分電極ごとに設けられる駆動素子としての薄膜トランジスタ、40：表示電圧、B：断線欠陥、P：面電極、PL：分割線、S：短絡欠陥、である。

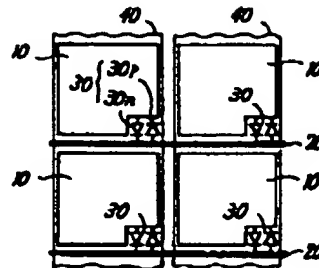
代理人弁護士 山口 眞



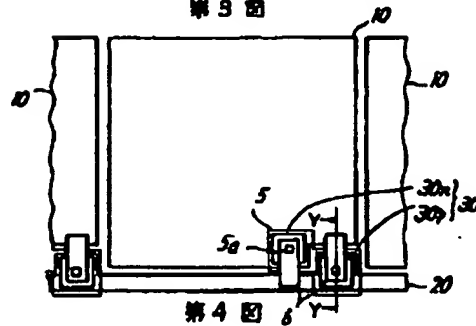
第1図



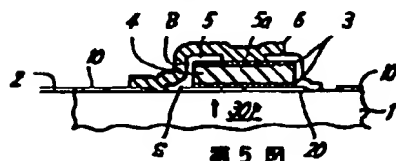
第2図



第3図



第4図



第5図